



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001250378 A**(43) Date of publication of application: **14.09.01**

(51) Int. Cl. **G11C 11/406**  
**G11C 11/41**  
**G11C 11/403**  
**G11C 11/401**

(21) Application number: **2000059728**(22) Date of filing: **06.03.00**(71) Applicant: **HITACHI LTD**

(72) Inventor: **ITO KAZUYA**  
**HIRAISHI ATSUSHI**

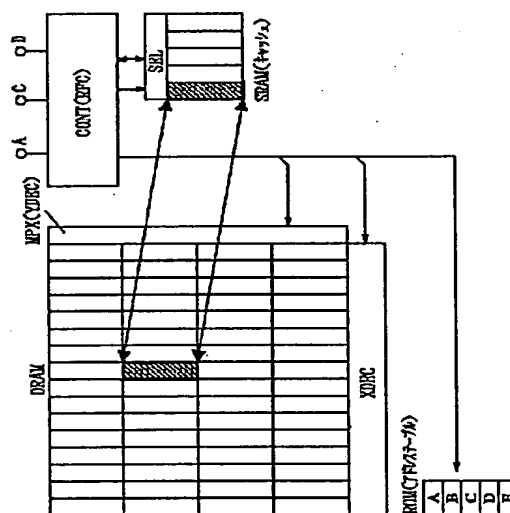
**(54) SEMICONDUCTOR STORAGE DEVICE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor storage device in which operation speed is increased and power consumption is reduced, and a refresh-current is reduced in a data holding state.

**SOLUTION:** In the semiconductor storage device comprising a first storage section consisting of a DRAM and a storage section consisting of a SRAM and having plural memory blocks, in which stored information in one word line unit selected in the first storage section is transferred en bloc between one memory block of the second storage section and the first storage section, when a non-volatile storage circuit storing an address of a word line in which a memory cell of which an information holding time is extremely short exists in the first storage section and the semiconductor memory are put into a data holding mode, stored data of the first storage section is transferred to the second storage section by the stored address and it made a long first refreshing period in which the extremely short memory cell is neglected, when normal access mode is performed, stored data of the second storage section is transferred to the first storage section based on the address, and it is made a short refreshing period set

corresponding to the extremely short information holding time.

COPYRIGHT: (C)2001,JPO





(19)日本国特許庁 (JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-250378

(P 2001-250378A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G11C 11/406		G11C 11/34	363 L 5B015
11/41			Z 5B024
11/403		363	M
11/401		371	Z
		371	C
審査請求 未請求 請求項の数 1 O L (全 8 頁)			

(21)出願番号 特願2000-59728(P 2000-59728)

(22)出願日 平成12年3月6日(2000.3.6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 伊藤 和弥

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72)発明者 平石 厚

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74)代理人 100081938

弁理士 徳若 光政

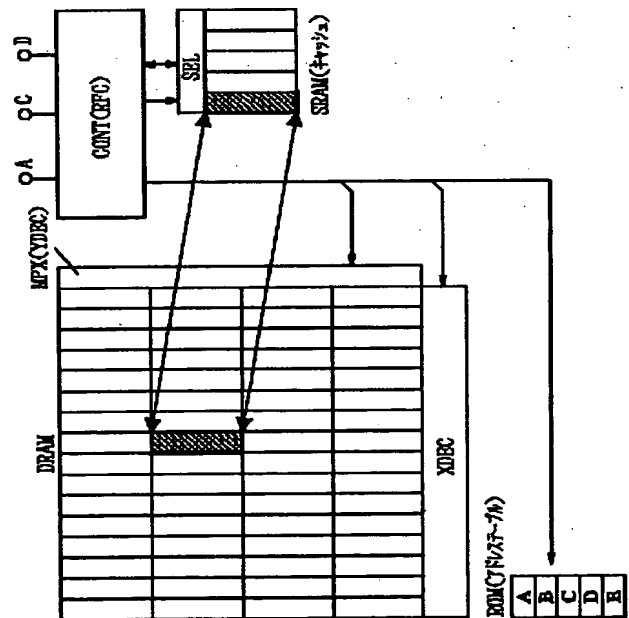
最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【要約】

【課題】 高速動作及び低消費電力化を図りつつ、データ保持状態でのリフレッシュ電流を低減させた半導体記憶装置を提供する。

【解決手段】 DRAMからなる第1記憶部と、SRAMからなり複数のメモリブロックを持つ第2記憶部からなり、上記第1記憶部において選択される1つのワード線単位での記憶情報が第2記憶部の1つのメモリブロックと間で一括して転送される半導体記憶装置において、上記第1記憶部において情報保持時間が極端に短いメモリセルが存在するワード線のアドレスを記憶させる不揮発性記憶回路と、上記半導体記憶装置がデータ保持モードにされると、上記記憶されたアドレスにより上記第1記憶部の記憶データを上記第2記憶部に転送し、極端に短いメモリセルを無視した長い第1リフレッシュ周期とし、通常のアクセスモードにされると、上記アドレスに基づいて上記第2記憶部の記憶データを上記第1記憶部に転送し、上記極端に短い情報保持時間に対応して設定された短いリフレッシュ周期とする。



## 【特許請求の範囲】

【請求項 1】 ダイナミック型メモリセルで構成された第 1 記憶部と、スタティック型メモリセルで構成され、複数のメモリブロックからなる第 2 記憶部からなり、上記第 1 記憶部において選択される 1 つのワード線単位での記憶情報が第 2 記憶部の 1 つのメモリブロックと間で一括して転送される半導体記憶装置において、上記第 1 記憶部において情報保持時間が極端に短いメモリセルが存在するワード線のアドレスを記憶させる不揮発性記憶回路と、

上記半導体記憶装置がデータ保持モードにされるとき、上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第 1 記憶部の記憶データを上記第 2 記憶部に転送し、上記極端に短い情報保持時間を無視して設定された第 1 リフレッシュ周期により上記第 1 記憶部のリフレッシュ動作を実施し、上記半導体記憶装置が通常のアクセスモードにされるとき、上記上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第 2 記憶部の記憶データを上記第 1 記憶部に転送し、上記極端に短い情報保持時間に対応して設定された第 2 リフレッシュ周期により上記第 1 記憶部のリフレッシュ動作を実施する自動リフレッシュ回路とを設けてなることを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置に係り、特にダイナミック型メモリセルで構成された記憶部に対してスタティック型メモリセルで構成されたキャッシュ領域を介して情報の書き込みと読み出しとを行なうようにした半導体記憶装置のリフレッシュ技術に利用

## 【0002】

【従来の技術】 従来のダイナミック型 RAM（以下単に DRAM という）のセルフリフレッシュ電流値は容量が増加につれて増大し例えば 256 Mビットの DRAM では 800  $\mu$ A ~ 3 mA と大きい。これは容量（集積度）の進歩に比較し、メモリセルの情報保持時間の実力が変わっていないことが原因である。また、ダイナミック型 RAM の読み出し高速化と電流低減手法の 1 つとしてスタティック型メモリセルで構成されたキャッシュ領域を

設けるものがある。

【発明が解決しようとする課題】 DRAM のバッテリーバックアップ時にはセルフリフレッシュ電流が必要となる。従つて電池電源を用いる携帯機器では DRAM のセルフリフレッシュ電流低減が必須である。上記のように DRAM の読み出し高速化と電流低減の方法の 1 つとしてキャッシュを搭載することが知られている。本願発明者においては、上記キャッシュ領域は通常動作に使用されているのみでありセルフリフレッシュ時には必要ないことに着目し、これを利用して DRAM 部のデータ保持

状態でのリフレッシュ電流を低減することを考えた。

【0003】 この発明の目的は、高速動作及び低消費電力化を図りつつ、データ保持状態でのリフレッシュ電流を低減させた半導体記憶装置を提供することにある。本発明の前記ならびにそのほかの目的と新規な特徴は、本発明書の記述および添付図面から明らかになるであろう。

## 【0004】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、ダイナミック型メモリセルで構成された第 1 記憶部と、スタティック型メモリセルで構成され、複数のメモリブロックからなる第 2 記憶部からなり、上記第 1 記憶部において選択される 1 つのワード線単位での記憶情報が第 2 記憶部の 1 つのメモリブロックと間で一括して転送される半導体記憶装置において、上記第 1 記憶部において情報保持時間が極端に短いメモリセルが存在するワード線のアドレスを記憶させる不揮発性記憶回路と、上記半導体記憶装置がデータ保持モードにされるとき、上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第 1 記憶部の記憶データを上記第 2 記憶部に転送し、上記極端に短い情報保持時間を無視して設定された第 1 リフレッシュ周期により上記第 1 記憶部のリフレッシュ動作を実施し、上記半導体記憶装置が通常のアクセスモードにされるとき、上記上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第 2 記憶部の記憶データを上記第 1 記憶部に転送し、上記極端に短い情報保持時間に対応して設定された第 2 リフレッシュ周期により上記第 1 記憶部のリフレッシュ動作を実施する自動リフレッシュ回路とを設ける。

## 【0005】

【発明の実施の形態】 図 1 には、この発明に係る半導体記憶装置の一実施例の概略ブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコン等のような 1 個の半導体基板上において形成される。

【0006】 この実施例の半導体記憶装置は、ダイナミック型メモリセルを用いて構成された第 1 記憶部 DRAM と、スタティック型メモリセルを用いて構成された第 2 記憶部 SRAM から構成される。つまり、上記第 2 記憶部 SRAM は、第 1 記憶部 DRAM のキャッシュメモリとして用いられ、データの書き込みと読み出し動作は、上記第 2 記憶部 SRAM を介して行なわれるようにされる。制御回路 CONT は、アドレス端子 A、制御端子及びデータ端子 D が設けられ、かかる外部端子を介してアドレス信号、制御信号の入力と書き込みデータと読み出しデータの入出力とが行なわれる。

【0007】 第 1 記憶部 DRAM は、特に制限されないが、階層ワード線方式とされ、X デコーダ XDEC によりメインワード線と、かかるメインワード線方向に設けられるメモリセルを複数個に分割し、かかる分割された

メモリセルに対応してサブワード線が設けられる。これにより、Xデコーダでは、メインワード線選択信号とサブワード線選択信号とを形成し、1つのサブワード線の選択動作を行なわせるようにする。

【0008】第2記憶部SRAMは、上記1つのサブワード線に対応したメモリブロック（チャネル）を複数個有するものであり、かかるメモリブロックと上記第1記憶部の選択されたサブワード線に接続されたメモリセルとの間では第1記憶部のマルチプレクサMPXを介して一括してデータ転送が行なわれる。第2記憶部SRAMと制御回路CONTとの間には、選択回路SELが設けられており、データ端子Dから入出力されるデータ幅に対応して、上記メモリブロックの中から上記データ幅に対応した記憶情報を入出力する。

【0009】例えば、上記第1記憶部DRAMのサブワード線に1024個（ビット）のメモリセルが接続される場合、第2記憶部SRAMの1つのメモリブロックもそれに対応して1024個のメモリセルが設けられ、データ端子Dにより16ビットの単位でリード／ライトが行なわれるときには、上記メモリブロックのメモリセルが64分割されて上記16ビット分のメモリセルの選択が行なわれる。したがって、上記選択回路SELは、上記複数のメモリブロックの選択と、選択されたメモリブロックの中から上記16ビットのデータを選択する。制御回路CONTは、制御端子Cとアドレス端子Aから入力された信号に応じて上記第1記憶部と第2記憶部との間のデータ一括転送制御動作を行なう。

【0010】この実施例では、第1記憶部DRAMは、常にサブワード線の単位での第2記憶部SRAMとの間でデータの入出力が行なわれるものであり、外部とのデータの入出力は第2記憶部SRAMが受け持つこととなっており、動作の高速化が図られるとともに、第1記憶部DRAMのメモリアクセス回数が大幅に低減し、その動作の大半はリフレッシュのための動作となっており消費電力を大幅に低減させることができる。

【0011】この実施例では、特に制限されないが、上記制御回路CONTに自動リフレッシュ回路（RFC）が内蔵される。この自動リフレッシュ回路（RFC）は、半導体記憶装置がデータ保持モード（バッテリーバックアップモード）にされると上記制御回路CONTによる第1記憶部DRAMと第2記憶部SRAMとの間でのデータ転送動作及び第2記憶部の複数のメモリブロックを利用して、リフレッシュ周期を長くするような動作を行なうものである。

【0012】このようなデータ保持モードでのリフレッシュの周期の変更を行なうために、ヒューズ等の不揮発性記憶回路ROMからなるアドレステーブルが設けられる。このアドレステーブルには、上記第1記憶部のメモリセルのうち、極端に情報保持時間の短いメモリセルが存在するワード線のアドレスが書き込まれる。

【0013】ダイナミック型メモリセルの情報保持時間（リテンション時間）は、プロセスバラツキ等により一定の幅で分布しているが、MOSFETのゲート絶縁膜不良やPN接合不良等によって極端に情報保持時間の短いものが極く少数存在する傾向にある。この場合、上記最も短い情報保持時間に合わせてリフレッシュ周期を設定するために前記のように消費電流が比較的大きくなる。上記のように極端に情報保持時間の短いものが存在するチップを不良としてしまうと、製品歩留りが大幅に低減してしまうので現実的ではない。

【0014】この実施例ではキャッシュとしてのSRAMが存在すること、及びこれらのキャッシュSRAMはメモリアクセス時の動作の高速化のために設けられたものであって、リードやライトのようなメモリアクセスを行なわないようなデータ保持状態あるいはバッテリーバックアップ時には使用しないことに着目し、リフレッシュ動作を必要とする第1記憶部DRAMと上記キャッシュメモリとして動作する第2記憶部SRAMとの間では、ワード線単位で一括してデータ転送が高速に行なわれることを利用し、上記のように極端に情報保持時間の短いメモリセルが存在するワード線のデータを、一括して第2記憶部SRAMに転送してデータ保持動作を行なわせることにより、上記のように極端に短い情報保持時間しか持たないメモリセルを無視し、上記連続的に分布しているメモリセルの情報保持時間のうち最も短いものに対応したリフレッシュ周期によりデータ保持状態での自動リフレッシュ動作を行なわせるようにするものである。

【0015】図2ないし図4には、この発明に係る半導体記憶装置のデータ保持状態での自動リフレッシュ動作を説明するための概略ブロック図が示されている。図2に示すように、プローブ検査によって、第1記憶部DRAMのメモリセルのデータ保持時間が判定され、極端にデータ保持時間の短いものが存在するワード線のアドレスが不揮発性記憶回路ROMに記憶される。つまり、ウエハ上でのメモリチップのプローブ検査によって、上記情報保持時間が極端に短いものを選別し、かかるメモリセルが存在するワード線のアドレスをレーザー光線の照射によるヒューズ手段の切断によって書き込むようにする。この実施例では、上記不揮発性記憶回路ROMにはAないしEのような不良アドレスが記憶される。

【0016】半導体記憶装置がデータ保持モードに設定されると、前記制御回路CONTに設けられる自動リフレッシュ制御回路RFCは、上記不揮発性記憶回路ROMのアドレスAを読み取り、上記制御回路CONTによる前記のようなデータ転送回路を動作させて、上記アドレスAに対応したワード線の記憶情報を一括して第2記憶部SRAMの各チャネルに転送させる。不揮発性記憶回路ROMの他のアドレスBないしEに対応して同様な動作を行なうことにより、上記第2記憶部SRAMの各

チャンネルにはAないしBのアドレスに対応したワード線の記憶情報が記憶される。

【0017】図3に示すように、データ保持モードでは前記制御回路CONTに設けられる自動リフレッシュ制御回路RFCは、上記第1記憶部DRAMに対するリフレッシュアドレスを一定の周期で発生させるが、このときのリフレッシュ周期は前記極端に短い情報保持時間のメモリセルを無視し、前記のように一定の分布幅の中に存在するメモリセルのうち最も短い情報保持時間のメモリセルに対応した周期によりリフレッシュ動作を行なう。このようなリフレッシュ動作の結果、前記のように極く短いメモリセルが存在するワード線の記憶エリアでは、情報破壊が発生する。同図ではこのような情報破壊が行なわれる記憶エリア（ワード線）をA→X・・・E→Xのように表現している。

【0018】一般的に上記のような一定の分布幅での決められるリフレッシュ周期に対して、前記のようにゲート絶縁膜やPN接合不良によって極端に短くなる情報保持時間は、おおよそ1桁以上も異なるものであるので、データ保持モードでのリフレッシュ周期は、それに対応して1桁以上も長くすることができる。この結果、前記のような256MビットのDRAMにおける800μA～3mAのような消費電流は、この発明の適用によって最低でも80μA～300μA以下となるように大幅に低減させることができる。

【0019】上記データ保持モードでのリフレッシュ周期は、上記のように比較的大きなプロセスバラツキを持つものであるので、前記のようなプローブ検査での情報保持時間の測定結果に基づいてそれぞれのメモリチップで設定することが望ましい。このようなメモリチップの実力に対応したリフレッシュ周期の設定にも、前記不揮発性記憶回路ROMを用いるようにすることができる。

【0020】図4に示すように、データ保持モードからメモリアクセスが開始される通常モードに切り換えられると、前記制御回路CONTに設けられる自動リフレッシュ制御回路RFCは、上記不揮発性記憶回路ROMのアドレスAを読み取り、上記制御回路CONTによる前記のようなデータ転送回路を動作させて、上記アドレスAに対応した第1記憶部DRAMのワード線を選択し、第2記憶部SRAMのデータAを一括して転送させることにより、前記データ保持モードで破壊されたデータがもとの記憶データAに回復させられる。不揮発性記憶回路ROMの他のアドレスBないしEのワード線に対応して同様な動作を行なうことにより、上記第2記憶部SRAMの各チャンネルにはBないしEに退避されていたデータがそれぞれのアドレスに対応したワード線の記憶情報として回復させる。

【0021】この後に、メモリアクセスが許可されて前記のような第2記憶部SRAMをキャッシュとするメモリアクセスが行なわれる。このようなメモリアクセスと

並行して行なわれる第1記憶部DRAMのリフレッシュ動作は、前記のような比較の長いリフレッシュ周期ではなく、上記極端に短いメモリセルの情報保持時間に合わせたリフレッシュ周期とされる。このため、リフレッシュ動作のみでみるならば、消費電流は前記のように大きくなる。しかしながらメモリアクセスのための比較的大きな消費電流によって上記短いリフレッシュ周期での消費電流は問題にされない。

【0022】図5には、この発明に係る半導体記憶装置の他の一実施例の概略ブロック図が示されている。この実施例では、第2記憶部（キャッシュ）SRAMに転送するデータブロックのサイズはキャッシュのサイズよりも小さくする。特に制限されないが、このような転送サイズは、データ保持モードでのリフレッシュ動作時のデータ転送のときに小さくできるようにする。これにより、第2記憶部SRAMの1つのチャンネルを2つの異なるアドレスのメモリセルのリフレッシュ救済に利用することができるので救済できる単位が増加する。この実施例のように転送データのサイズをキャッシュサイズの半分にすれば、前記実施例の2倍の救済を行なうようにすることができる。

【0023】上記のように転送データサイズを小さくした場合には、1つのワード線を上位と下位に分け、上位又は下位のメモリセルのリフレッシュ救済が可能になるので、第2記憶部SRAMの各チャンネルも上位と下位に分けられる。したがって、各ワード線において情報保持時間が極端に短いメモリセルが上位側又は下位側に集中した場合には、上記のような救済できる単位は増加することにはならない。しかしながら、メモリセルの上記のような不良は、ランダムに発生するものと考えられるので、上記のように第2記憶部（キャッシュ）SRAMに転送するデータブロックのサイズをキャッシュのサイズよりも小さくすることは、救済効率の改善につながるものとなる。

【0024】なお、第2記憶部SRAMは、上記メモリセルの情報保持時間の検査のときにも利用することができる。例えば、特定のメモリブロック（チャンネルA）に対して、テストパターンを書き込み、上記第1記憶部DRAMにおいて1つのサブワード線を選択して上記第2記憶部SRAMのチャンネルAのテストパターンを一括して書き込む。第1記憶部DRAMに設けられるダイナミック型メモリセルのデータ保持時間を試験する場合、試験すべきデータ保持時間の経過後に読み出せばよいから、その保持時間の間を利用して第1記憶部DRAMの他のサブワード線を順次を選択して上記第2記憶部SRAMのチャンネルAのテストパターンを一括して順次書き込む。

【0025】試験すべきデータ保持時間になると、上記第1記憶部DRAMの上記テストパターンを書き込んだサブワード線を選択してその記憶情報を一括して第2記

憶部 S R A M の別のチャンネル B に転送させる。そして、第 2 記憶部 S R A M のチャンネル A と B の記憶情報とを比較回路により一括して比較することにより、良品 ( P a s s ) か不良品 ( F a i l ) かの判定を行なうことができる。つまり、上記チャンネル A に記憶されたテストパターンが期待値とされ、上記第 1 記憶部 D R A M のメモリセルから一定のデータ保持時間の後に読み出されたデータがチャンネル B に転送されるので両者の比較によって、メモリセルのデータ保持動作が正しく行なわれているか否かの試験が行なわれることとなる。前記のようにワード線の単位でのリフレッシュ救済では、極端に情報保持時間の短いメモリセルを特定する必要がないから、上記不良品とされたワード線のアドレスを上記不揮発性記憶回路 R O M に記憶させるようにすればよい。

【 0 0 2 6 】図 6 と図 7 には、この発明に係る半導体記憶装置の他の一実施例のリフレッシュ動作を説明するための概略ブロック図が示されている。この実施例の半導体記憶装置では、E C C (誤り検出訂正回路) が付加される。前記同様に、プローブ検査によって、第 1 記憶部 D R A M のメモリセルのデータ保持時間が判定され、極端にデータ保持時間の短いものが存在するワード線のアドレス A ないし E が記憶される。

【 0 0 2 7 】図 6 に示すように、半導体記憶装置がデータ保持モードに設定されると、前記制御回路 C O N T に設けられる自動リフレッシュ制御回路 R F C は、上記不揮発性記憶回路 R O M のアドレス A を読み取り、第 1 記憶部 D R A M のアドレス A に対応したワード線を選択し、その記憶データを E C C 符号発生回路に供給して、誤り検出訂正符号 a を第 2 記憶部 S R A M の 1 つのチャンネルの特定のエリアに書き込む。不揮発性記憶回路 R O M の他のアドレス B ないし E に対応して同様な動作を行なうことにより、上記第 2 記憶部 S R A M の上記チャンネルには B ないし E のアドレスに対応した誤り検出訂正符号 b ないし e が記憶される。

【 0 0 2 8 】データ保持モードでは前記制御回路 C O N T に設けられる自動リフレッシュ制御回路 R F C は、上記第 1 記憶部 D R A M に対するリフレッシュアドレスを一定の周期で発生させるが、このときのリフレッシュ周期は前記極端に短い情報保持時間のメモリセルを無視し、前記のように一定の分布幅の中に存在するメモリセルのうち最も短い情報保持時間のメモリセルに対応した周期によりリフレッシュ動作を行なう。このようなリフレッシュ動作の結果、前記のように極く短いメモリセルが存在するワード線の記憶エリアでは前記同様に情報破壊が発生する。

【 0 0 2 9 】図 7 に示すように、データ保持モードからメモリアクセスが開始される通常モードに切り換えられると、前記制御回路 C O N T に設けられる自動リフレッシュ制御回路 R F C は、上記不揮発性記憶回路 R O M のアドレス A を読み取り、第 1 記憶部 D R A M のワード線

を選択して、破壊されたビットを含むデータを読み出してエラー訂正回路に供給する。エラー訂正回路は、上記第 1 記憶部 D R A M のデータを、第 2 記憶部 S R A M に記憶された符号 a を用いて誤りビットの修正を行ない上記ワード線のメモリセルに書き込むようにする。不揮発性記憶回路 R O M の他のアドレス B ないし E のワード線に対応して同様な動作を行なうことにより、前記リフレッシュ動作によって破壊されたビットの修復が行なわれる。

10 【 0 0 3 0 】この後に、メモリアクセスが許可されて前記のような第 2 記憶部 S R A M をキャッシュとするメモリアクセスが行なわれる。このようなメモリアクセスと並行して行なわれる第 1 記憶部 D R A M のリフレッシュ動作は、前記のような比較的長いリフレッシュ周期ではなく、上記極端に短いメモリセルの情報保持時間に合わせたリフレッシュ周期とされる。このような誤り検出訂正回路を内蔵させることにより、第 2 記憶部 S R A M には上記誤り検出訂正符号 ( E C C コード ) のみを記憶させればよいから、救済できる自由度が増加する。

20 【 0 0 3 1 】図 8 には、この発明に係る半導体記憶装置の更に他の一実施例の概略ブロック図が示されている。この実施例では、前記図 1 ないし図 4 の実施例と前記図 6 及び図 7 からなる実施例とが組み合わされて構成される。つまり、E C C 符号発生回路とエラー訂正回路を設け、第 2 記憶部 S R A M の 1 つのチャンネルには E C C コードを記憶させ、他のチャンネルには第 1 記憶部 D R A M のワード線単位でのデータをそのまま退避させるのに用いるようにするものである。このような構成によって、救済できる自由度をいっそう増加させることができる。

30 【 0 0 3 2 】上記のような実施例から得られる作用効果は、下記通りである。すなわち、

( 1 ) ダイナミック型メモリセルで構成された第 1 記憶部と、スタティック型メモリセルで構成され、複数のメモリブロックからなる第 2 記憶部からなり、上記第 1 記憶部において選択される 1 つのワード線単位での記憶情報が第 2 記憶部の 1 つのメモリブロックと間で一括して転送される半導体記憶装置において、上記第 1 記憶部において情報保持時間が極端に短いメモリセルが存在するワード線のアドレスを記憶させる不揮発性記憶回路と、上記半導体記憶装置がデータ保持モードにされるとき、上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第 1 記憶部の記憶データを上記第 2 記憶部に転送し、上記極端に短い情報保持時間を無視して設定された第 1 リフレッシュ周期により上記第 1 記憶部のリフレッシュ動作を実施し、上記半導体記憶装置が通常のアクセスモードにされるとき、上記上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第 2 記憶部の記憶データを上記第 1 記憶部に転送し、上記極端に短い情報保持時間に対応して設定された第 2 リフレッシュ周期により上記第 1 記憶部のリフレッシュ動作を実施する自

動リフレッシュ回路とを設けることにより、高速動作及び低消費電力化を図りつつ、データ保持状態でのリフレッシュ電流を低減させることができるという効果が得られる。

【0033】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、第2記憶部SRAMに目的のアドレスに対応したデータが無いときには、第1記憶部DRAMからかかるデータを直接読み出し、空き時間にかかるデータが存在するサブワード線の全データを第2記憶部SRAMに転送させるようにしてもよい。このように第1記憶部DRAMと、そのキャッシュとして機能する第2記憶部SRAMに対するアクセスの仕方は種々の実施形態を採ることができる。上記第1記憶部DRAMと第2記憶部SRAMとの間で行なわれるデータは、前記のように第1記憶部の選択ワード線の単位で行なうことが最も合理的であるが、これに限定されずにアドレス選択回路の変更によってワード線に設けられるメモリセルの半分ずつのデータを選択的に転送させるようにする等種々の実施形態を採ることができる。

【0034】リフレッシュ周期が極端に短いメモリセルが存在するワード線のアドレスを記憶させるための不揮発性の記憶素子としては、ヒューズの他にEPROM等のような記憶素子を用いるのもであってもよい。この発明は、DRAMにより構成された第1記憶部と、キャッシュメモリとして動作する第2記憶部SRAMを備えた半導体記憶装置に広く利用できる。

#### 【0035】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型メモリセルで構成された第1記憶部と、スタティック型メモリセルで構成され、複数のメモリブロックからなる第2記憶部からなり、上記第1記憶部において選択される1つのワード線単位での記憶情報が第2記憶部の1つのメモリブロックと間で一括して転送される半導体記憶装置において、上記第1記憶部において情報保持時間が極端に短いメモリセルが存在するワード線のアドレスを記憶させる不揮発性記憶回路と、上記半導体記憶装置がデータ保持

モードにされるとき、上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第1記憶部の記憶データを上記第2記憶部に転送し、上記極端に短い情報保持時間を無視して設定された第1リフレッシュ周期により上記第1記憶部のリフレッシュ動作を実施し、上記半導体記憶装置が通常のアクセスモードにされるとき、上記上記不揮発性記憶回路に記憶されたアドレスに基づいて上記第2記憶部の記憶データを上記第1記憶部に転送し、上記極端に短い情報保持時間に対応して設定された第2リフレッシュ周期により上記第1記憶部のリフレッシュ動作を実施する自動リフレッシュ回路とを設けることにより、高速動作及び低消費電力化を図りつつ、データ保持状態でのリフレッシュ電流を低減させることができる。

#### 【図面の簡単な説明】

【図1】この発明に係る半導体記憶装置の一実施例を示す概略ブロック図である。

【図2】この発明に係る半導体記憶装置のリフレッシュ動作を説明するための概略ブロック図である。

【図3】この発明に係る半導体記憶装置のリフレッシュ動作を説明するための概略ブロック図である。

【図4】この発明に係る半導体記憶装置のリフレッシュ動作を説明するための概略ブロック図である。

【図5】この発明に係る半導体記憶装置の他の一実施例を示す概略ブロック図である。

【図6】この発明に係る半導体記憶装置の他の一実施例のリフレッシュ動作を説明するための概略ブロック図である。

【図7】この発明に係る半導体記憶装置の他の一実施例のリフレッシュ動作を説明するための概略ブロック図である。

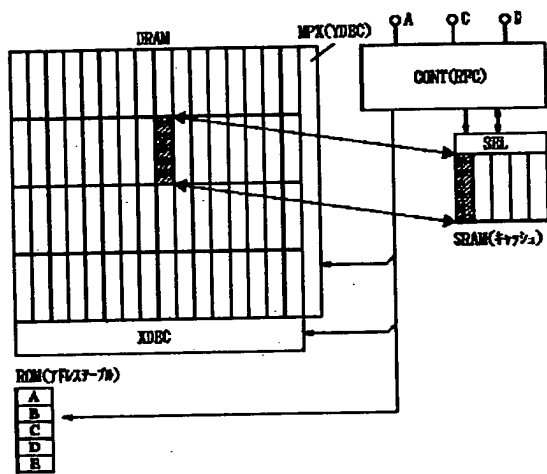
【図8】この発明に係る半導体記憶装置の更に他の一実施例を示す概略ブロック図である。

#### 【符号の説明】

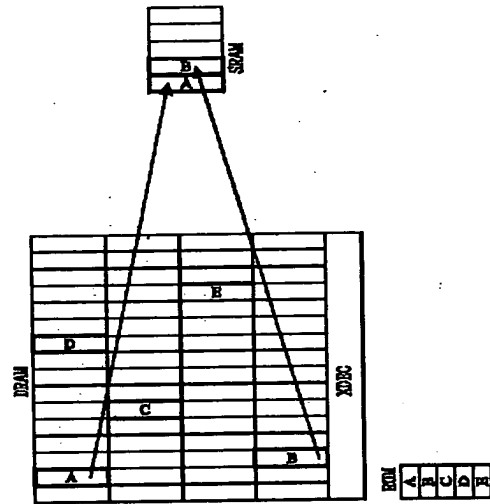
DRAM…第1記憶部（ダイナミック型RAM）、SRAM…第2記憶部（スタティック型RAM）、CONT…制御回路、RFC…自動リフレッシュ制御回路、XDEC…Xデコーダ、MPX（YDEC）…マルチプレкса（Yデコーダ）、SEL…選択回路、ROM…不揮発性記憶回路。



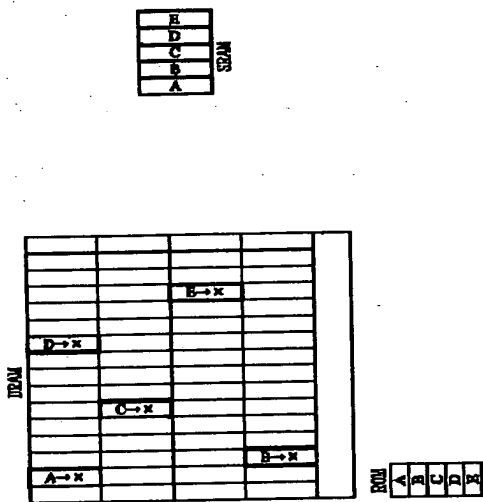
【図1】



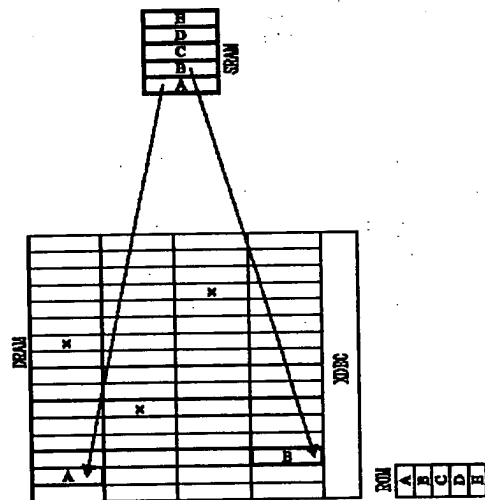
【図2】



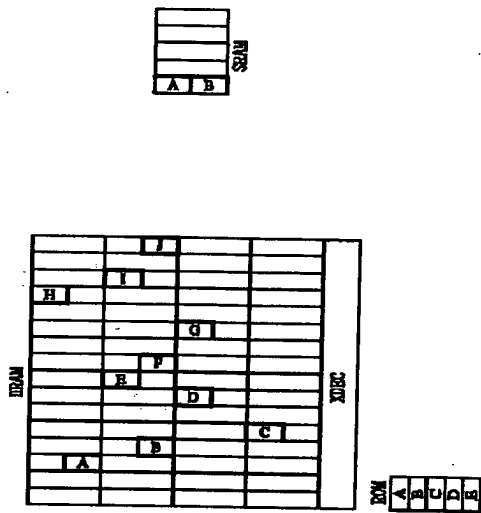
【図3】



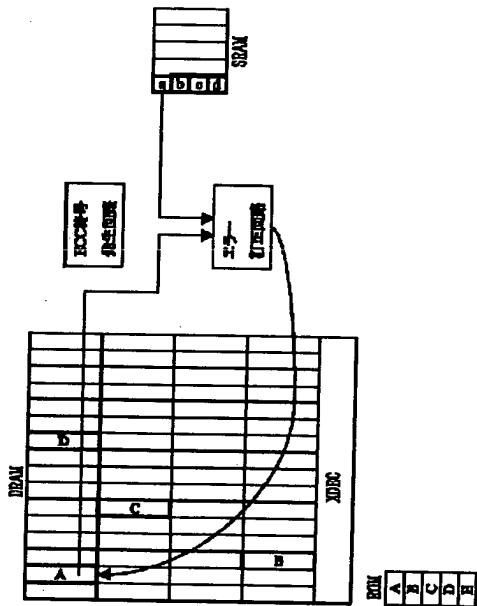
【図4】



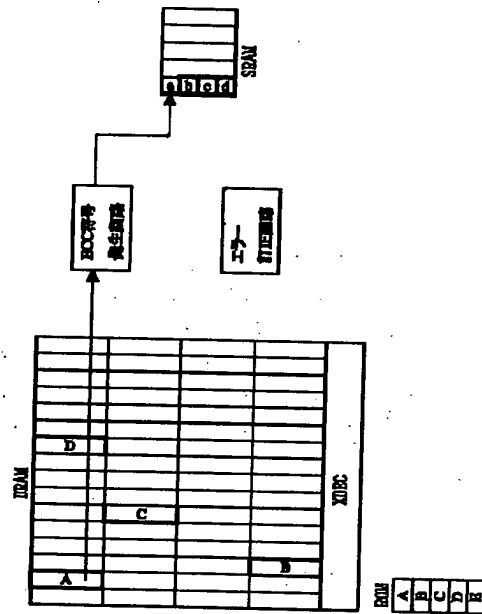
【図5】



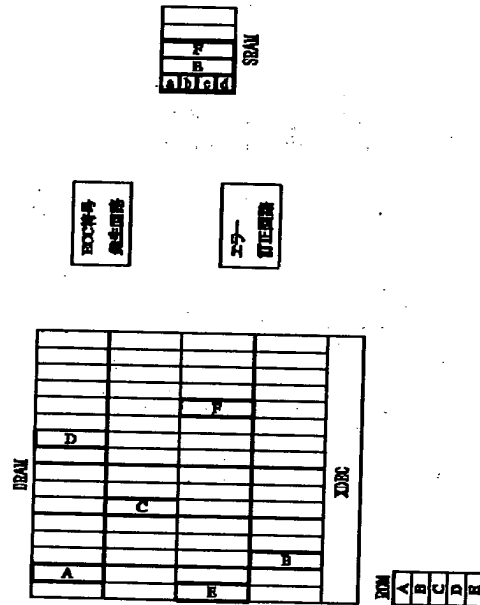
【図7】



【図6】



【図8】



フロントページの続き

Fターム(参考) 5B015 JJ03 JJ24 KB91 NN09 PP07  
RR01  
5B024 AA01 AA15 BA13 BA29 CA16  
DA18 DA20 EA01